

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-273317

(43)Date of publication of application : 26.09.2003

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 2002-076114

(71)Applicant : NEC ELECTRONICS CORP

(22)Date of filing : 19.03.2002

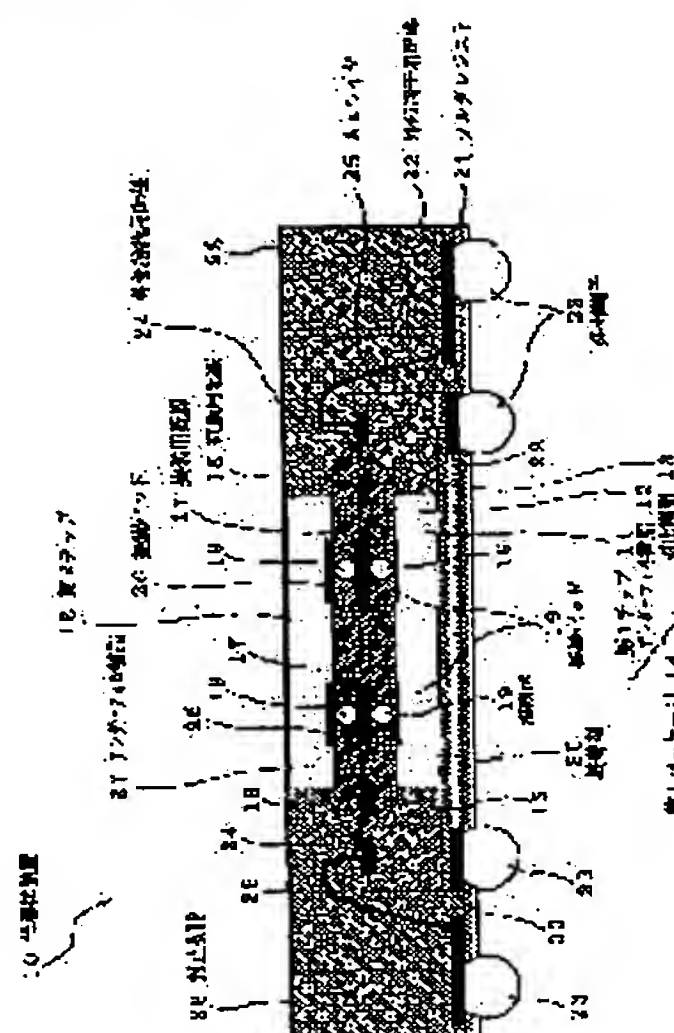
(72)Inventor : MAEDA TAKEHIKO  
TSUKANO JUN

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device whose size, weight and thickness is further reduced while maintaining its stacked package structure and ensuring the wafer strength, and to provide its manufacturing method.

**SOLUTION:** The semiconductor device has a first package 14 which is composed of several semiconductor elements and wiring means with connection terminals by rewiring formed on the semiconductor elements and is resin sealed, at least one semiconductor package or a semiconductor element which is stacked on the first package 14 by directly connecting their respective connection terminals faced to each other, Au wires 25 which electrically connect between the connection terminals of the wiring means and external terminals 23, and a resin sealant 28 for integrally resin sealing the stacked semiconductor package or semiconductor element and the Au wires 25.



## LEGAL STATUS

[Date of request for examination]

08.02.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-273317

(P2003-273317A)

(43) 公開日 平成15年9月26日 (2003.9.26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 25/065  
25/07  
25/18

H 0 1 L 25/08

Z

審査請求 未請求 請求項の数13 O L (全 12 頁)

(21) 出願番号 特願2002-76114 (P2002-76114)

(22) 出願日 平成14年3月19日 (2002.3.19)

(71) 出願人 302062931

NECエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(72) 発明者 前田 武彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 塚野 純

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100086645

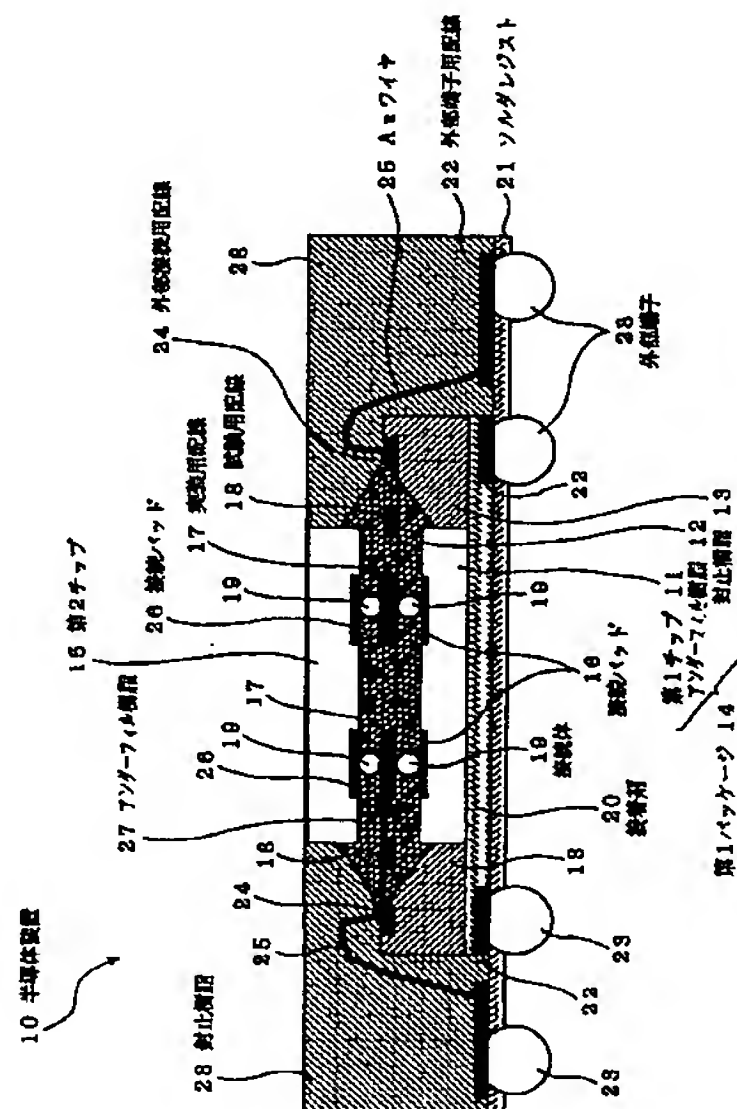
弁理士 岩佐 義幸

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 スタック型パッケージ構造を保持しつつ、ウェハ強度を確保して更なる小型軽量化、薄型化を図ることができる半導体装置及びその製造方法を提供する。

【解決手段】 複数の半導体素子に再配線による接続端子部を有する配線手段を形成して樹脂封止された第1パッケージ14と、第1パッケージ14に、互いの接続端子部を向かい合わせて直接接続し積層した、少なくとも1個の半導体パッケージ又は半導体素子と、配線手段の接続端子部と外部端子23を電氣的に接続するAuワイヤ25と、第1パッケージ14、積層される半導体パッケージ又は半導体素子、及びAuワイヤ25を一体に樹脂封止する封止樹脂28とを有する。



## 【特許請求の範囲】

【請求項 1】複数の半導体素子を積層し一体に形成した半導体装置において、  
前記半導体素子に再配線による接続端子部を有する配線手段を形成して樹脂封止された半導体パッケージと、  
前記半導体パッケージに、互いの接続端子部を向かい合わせて直接接続し積層した、少なくとも 1 個の半導体パッケージ又は半導体素子と、  
前記配線手段の接続端子部と外部端子を電気的に接続するワイヤとを有し、  
前記半導体パッケージ、前記積層される半導体パッケージ又は半導体素子、及び前記ワイヤを一体に樹脂封止したことを特徴とする半導体装置。

【請求項 2】前記半導体パッケージは、前記配線手段がフリップチップ接続からなるパッケージ構造を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記半導体パッケージは、前記配線手段が、配線を封止樹脂の表面に埋め込んだ状態に形成する埋め込み配線導体からなるパッケージ構造を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】前記半導体パッケージは、前記配線手段がインターポーザからなるパッケージ構造を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】前記インターポーザが、リジッド基板又はフレキシブルテープ又はリードフレームからなることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】前記半導体素子は、樹脂封止によりパッケージングされた後にパッケージ裏面を研削して薄型化されていることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】前記半導体パッケージは、複数個の前記半導体素子を横に並べて形成されていることを特徴とする請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】前記半導体素子に代えて、前記半導体パッケージを用いたことを特徴とする請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】複数の半導体素子を積層し一体に形成する半導体装置の製造方法において、  
前記半導体素子に再配線による接続端子部を有する配線手段を形成して樹脂封止しパッケージングする工程と、  
前記半導体パッケージに、少なくとも 1 個の半導体パッケージ又は半導体素子を互いの接続端子部を向かい合わせて直接接続し積層する工程と、  
前記配線手段の接続端子部と外部端子をワイヤにより電気的に接続する工程と、  
前記半導体パッケージ、前記積層される半導体パッケージ又は半導体素子、及び前記ワイヤを一体に樹脂封止する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】前記配線手段を、フリップチップ接続に

より形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】前記配線手段を、  
基板となるベース金属の表面に、金属配線のパターンを形成する工程と、  
金属バンプを介して前記半導体素子の電極と前記金属配線を電気的に接続する工程と、  
前記ベース金属の表面と前記半導体素子の裏面との間で前記金属配線及びレジストを絶縁用樹脂で封止する工程と、  
前記ベース金属を除去する工程と、  
前記レジストを除去する工程とを経て、前記金属配線が封止樹脂の表面に埋め込まれた状態に形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 12】前記配線手段を、インターポーザを用いて形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 13】前記半導体素子を、樹脂封止によりパッケージングした後にパッケージ裏面を研削して薄型化する工程を有することを特徴とする請求項 9 から 12 のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体装置及びその製造方法に関し、特に、複数の半導体チップを積み重ねて 1 つのパッケージに納めたスタック型パッケージ構造を有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】従来、2 つの半導体チップを積み重ねて 1 つのパッケージに納めることにより、半導体チップの配置を高さ方向に集約することができる、スタック型パッケージ構造を有する半導体装置が知られている。

【0003】このようなパッケージ構造を有することにより、半導体装置の表面積を大きく減らすことができ、また、半導体チップ 1 枚当たりの厚さを薄くすることにより、組み込む半導体チップの数を増やすことができる。このため、半導体装置の小型化が可能となり、構成部品として多くの半導体装置を用いる携帯電話や PDA (personal digital assistant) 等の携帯端末装置における、小型軽量化の要求に応えることができる。

【0004】図 18 は、従来の半導体装置を示す断面図である。図 18 に示すように、半導体装置は、1 次チップと 2 次チップを積層してチップ全体を樹脂封止した BGA (ball grid array) 構造を有している (特開 2001-223326 号公報参照)。

【0005】この半導体装置 1 は、1 次チップ 2 をフリップチップ接続によって支持するテープ基板 3 と、1 次チップ 2 上に積層配置される 2 次チップ 4 をフリップチップ接続によって支持する配線フィルム 5 と、配線フィ

ルム 5 の接続電極 5 a とテープ基板 3 の接続電極 3 a とを接続するワイヤ 6 と、テープ基板 3 の裏面に配置される複数の半田バンプ 7 と、2 つの半導体チップ 2, 4 とワイヤ 6 等を樹脂封止する封止部 8 とからなる。これにより、チップ積層型の半導体装置 1 において、小型化・薄型化を図り高密度実装を実現することができる。

【0006】ところで、現在の携帯端末装置においては、機能の高度化が進むと共に更なる携帯性の向上が図られている。そのため、携帯端末装置に用いられる半導体装置についても、より一層の小型軽量化、薄型化が求められている。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来の半導体装置において、スタック型パッケージ構造を保持しつつ、更なる小型軽量化、薄型化することは容易でなく、例えば、裏面研削により半導体チップを単体で削って薄くしようとする、ウェハ強度の確保、即ち、製造工程でのハンドリング性の向上が困難になり、壊れ易くなってしまう。

【0008】この発明の目的は、スタック型パッケージ構造を保持しつつ、ウェハ強度を確保して更なる小型軽量化、薄型化を図ることができる半導体装置及びその製造方法を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するため、この発明に係る半導体装置は、複数の半導体素子を積層し一体に形成した半導体装置において、前記半導体素子に再配線による接続端子部を有する配線手段を形成して樹脂封止された半導体パッケージと、前記半導体パッケージに、互いの接続端子部を向かい合わせて直接接続し積層した、少なくとも 1 個の半導体パッケージ又は半導体素子と、前記配線手段の接続端子部と外部端子を電気的に接続するワイヤとを有し、前記半導体パッケージ、前記積層される半導体パッケージ又は半導体素子、及び前記ワイヤを一体に樹脂封止したことを特徴としている。

【0010】上記構成を有することにより、複数の半導体素子を積層し一体に形成した半導体装置は、半導体素子に再配線による接続端子部を有する配線手段を形成して樹脂封止された半導体パッケージに、少なくとも 1 個の半導体パッケージ又は半導体素子が、互いの接続端子部を向かい合わせて直接接続して積層され、配線手段の接続端子部と外部端子がワイヤによって電気的に接続され、半導体パッケージ、積層される半導体パッケージ又は半導体素子、及びワイヤが、封止樹脂により一体に樹脂封止されている。これにより、スタック型パッケージ構造を保持しつつ、ウェハ強度を確保して更なる小型軽量化、薄型化を図ることができる。

【0011】また、この発明に係る半導体装置の製造方法により、上記半導体装置を実現することができる。

【0012】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

(第 1 の実施の形態) 図 1 は、この発明の第 1 の実施の形態に係る半導体装置の断面図である。図 1 に示すように、半導体装置 10 は、第 1 チップ (半導体素子) 11、アンダーフィル樹脂 12 及び封止樹脂 13 からなる第 1 パッケージ (半導体パッケージ) 14 と、第 1 パッケージ 14 に積層した第 2 チップ (積層半導体素子) 15 とを有している。

【0013】第 1 チップ 11 は、上面に形成された接続パッド 16 と共に、アンダーフィル樹脂 12 により上面側が封止され、更に、封止樹脂 13 により側面側が封止されている。アンダーフィル樹脂 12 の上面には、実装用配線 17 及び試験用配線 18 が埋設状態に形成されており、実装用配線 17 のパッドは、接続パッド 16 に接続体 19 を介してフリップチップ接続される。試験用配線 18 のパッドは、特性チェックに使用されたパッドである。

【0014】アンダーフィル樹脂 12 は、第 1 チップ 11 の接続パッド 16 を実装用配線 17 に接続体 19 でフリップチップ接続した後の接続部を、機械的に保持すると共に、第 1 チップ 11 の回路を保護するための樹脂である。封止樹脂 13 は、半導体封止用エポキシ樹脂であり、外部接続のためにワイヤボンディングを行う必要があり、ガラス転移温度 150℃ で十分な剛性を持つことが要求される。

【0015】第 1 パッケージ 14 の下面には、接着剤 20 によりソルダレジスト 21 が接着されている。第 1 パッケージ実装面であるソルダレジスト 21 の上面には、外部端子用配線 22 が形成されており、この外部端子用配線 22 のパッドに電気的に接続された外部端子 23 が、ソルダレジスト 21 の下面に突設されている。

【0016】第 1 パッケージ 14 の実装部分以外に形成された外部端子用配線 22 のパッドと、封止樹脂 13 の上面に埋設状態に形成された外部接続用配線 24 のパッドは、Au ワイヤ 25 によりワイヤボンディング接続されている。Au ワイヤ 25 は、半導体素子 11, 15 の電源供給や入出力信号を外部端子 23 へ接続するためのものである。

【0017】第 2 チップ 15 は、下面に形成された接続パッド 26 と共に、アンダーフィル樹脂 27 により下面側が封止されており、このアンダーフィル樹脂 27 と第 1 チップ 11 を封止する第 1 封止樹脂 11 を互いに密着状態に重ね合わせて、第 1 パッケージ 14 に積層されている。

【0018】このアンダーフィル樹脂 27 は、第 2 チップ 15 の接続パッド 26 を実装用配線 17 に接続体 19 でフリップチップ接続した後の接続部を、機械的に保持すると共に、第 1 チップ 11 の回路を保護するものであ



り、アンダーフィル樹脂 12 と同様の機能を有するものである。

【0019】つまり、第2チップ15は、第1チップ11に代えて第2チップ15を用いた他は、第1パッケージ14の第1チップ11とアンダーフィル樹脂12からなる構成と同様の構成を有しており、第1チップ11とは逆向きに第1パッケージ14に積層されている。

【0020】これら第1パッケージ14と、第2チップ15及びアンダーフィル樹脂27は、Auワイヤ25と共に、ソルダレジスト21を覆い第2チップ15の上面を露出させた封止樹脂28により、封止されている。この封止樹脂28は、半導体封止用エポキシ樹脂である。

【0021】図2は、図1の第1パッケージの製造工程を説明する工程図である。図2に示すように、第1パッケージ14を製造する場合、先ず、銅基板29の表面に、実装用配線17及びその他の配線からなる、Ni上に薄いAuをメッキした配線パターン、即ち、再配線による接続端子部を有する配線導体を形成する（（a）参照）。

【0022】次に、銅基板29に半導体素子62を搭載し、接続パッド16と実装用配線17を、接続体19を介してフリップチップ接続する。（（b）参照）。

【0023】次に、半導体素子62の下面側に、接続体19を囲むようにアンダーフィル樹脂12を注入し、所定の温度で硬化させる（（c）参照）。

【0024】次に、銅基板29上の実装用配線17やその他の配線、アンダーフィル樹脂12及び半導体素子62を覆うように、トランスファー成形により封止樹脂13で封止する。封止後、所定の温度で封止樹脂13を硬化させる（（d）参照）。

【0025】次に、銅基板29をエッチング除去しNi/Auパターンからなる実装用配線17等を残し（（e）参照）、その後、第1パッケージ14の裏面となる封止樹脂13の上面を研削し、第1パッケージ14の厚みを、10～150μm程度薄くする（（f）参照）。研削後、1枚の銅基板29に複数個配置されている第1パッケージ14を各個片に切り離す。

【0026】このように、第1パッケージ14は、基板となるベース金属の表面に、金属配線のパターンを形成する（銅基板にパターンとして、チップ接続電極部と外部端子とを形成する）工程と、金属バンプを介して半導体素子の電極と配線を電氣的に接続する工程と、ベース金属の表面と半導体素子の裏面との間で配線及びレジストを絶縁用樹脂で封止する工程と、ベース金属を除去する工程と、レジストを除去する工程と、を経て製造される。

【0027】上述した各工程を経て製造されることにより、第1パッケージ14は、極薄の第1チップ11の周囲をアンダーフィル樹脂12及び封止樹脂13で封止し、実装用配線17及びその他の配線がパッケージ表面

となる封止樹脂の表面に、埋め込んだ状態に形成される（以後、この製造工程を、埋め込み配線導体方法、この方法で製造されたものを埋め込み配線導体パッケージと呼ぶ）。

【0028】図3は、図1の半導体装置の製造工程を説明する工程図である。図3に示すように、半導体装置10を製造する場合、先ず、ベース金属が銅合金からなるフレーム30の表面に、電解めっきによりNi/Au配線からなる外部端子用配線22を形成する（（a）参照）。

【0029】次に、ダイボンダにより、フレーム30に、上述した埋め込み配線導体方法を用いて製造された第1パッケージ14を、フレーム30の表面に向けてマウントする。第1パッケージ14を外部端子用配線22上に固着するためには、フィルム状或いはペースト状の接着剤20を用いる。マウント後、所定の温度で加熱し接着剤20を硬化させる（（b）参照）。

【0030】次に、ワイヤボンダにより、第1パッケージ14の外部接続用配線24と、外部端子23を介して外部接続するための外部端子用配線22を、Auワイヤ25によりワイヤボンディングする（（c）参照）。

【0031】次に、第2チップ15の接続パッド16を、第1パッケージ14の実装用配線17に、接続体19によりフリップチップ接続する。接続後、第2チップ15の下面側に接続体19を囲むように、アンダーフィル樹脂27を注入し、所定の温度で硬化させる（（d）参照）。なお、先に、アンダーフィル樹脂27を注入してからフリップチップ接続を行っても良い。

【0032】次に、トランスファーモールド装置により、第1パッケージ14及び第2チップ15を覆うように、フレーム30上を封止樹脂28で一括封止する。封止後、所定の温度で封止樹脂28を硬化させる（（e）参照）。

【0033】次に、フレーム30のベース金属である銅合金を、アルカリエッチャントで溶かし除去する。アルカリエッチャントを使うことにより、銅成分だけを選択エッチングすることができる（（f）参照）。

【0034】次に、ソルダレジスト21を形成する（（g）参照）。ソルダレジスト21の形成に際しては、熱硬化性樹脂のパターン印刷、ベタ印刷後のレーザ穴加工、穴あきテープの貼り付け、或いはテープ貼り付け後のレーザ穴加工等の何れかの方法により行う。

【0035】次に、第1パッケージ14に積層された第2チップ15の上面（パッケージ裏面）を研削機により研削する。研削後、ソルダレジスト21から露出する外部端子用配線22に、ボールマウンタにより半田ボールを搭載し、リフローすることにより外部端子23を形成する（（h）参照）。なお、半田ボールを搭載する代わりに半田ペーストを印刷しても良い。

【0036】その後、1枚のフレームにマトリックス状

に複数個配置されているそれぞれの半導体装置 10 を、ダイサーにより個片に切り離す。

【0037】各配線 16, 17, 18, 22, 24 は、最終的に除去されるベース金属側から順番に、金、ニッケル、銅、ニッケル、金により構成されるのが基本であるが、同様に、金、パラジウム、ニッケル、銅、ニッケル、パラジウム、金により構成しても、また、一方のパラジウムを除いて構成しても良い。めっき厚は、金：0.01～数 $\mu\text{m}$ 、パラジウム：0.01～数 $\mu\text{m}$ 、ニッケル：1～数 $\mu\text{m}$ 、銅：数 $\mu\text{m}$ ～数十 $\mu\text{m}$ である。

【0038】接続体 19 は、金バンプ或いは半田バンプにより形成され、ソルダレジスト 21 は、熱硬化性樹脂、ポリイミドフィルムに接着剤が塗布されたものの何れでも良い。また、Auワイヤ 25 によるワイヤボンディングと第 2 チップ 15 のフリップチップ接続の順序は、逆でも良く、パッケージの裏面研削、個片切断、外部端子形成の順序は、特に指定しない。

(第 2 の実施の形態) 図 4 は、この発明の第 2 の実施の形態に係る半導体装置の断面図である。図 4 に示すように、半導体装置 31 は、第 1 パッケージ 14 を、接着剤 20 を介して、埋め込み配線導体の代わりに配線基板 32 に接続している他は、半導体装置 10 と同様の構成及び作用を有している。

【0039】配線基板 32 は、リジッドのプリント配線基板、TAB テープを用いたフレキシブル配線基板、或いはメタルコア配線基板等からなり、外部端子 22 と電気的に接続される実装用電極 33 と、第 1 パッケージ 14 と Au ワイヤ 25 によりワイヤボンディング接続される内部電極 34 を有している。

(第 3 の実施の形態) 図 5 は、この発明の第 3 の実施の形態に係る半導体装置の断面図である。図 5 に示すように、半導体装置 35 は、第 2 チップ 15 に代えて、第 1 パッケージ 14 の製造方法である埋め込み配線導体方法により形成した第 2 パッケージ 36 を用いた他は、半導体装置 31 と同様の構成及び作用を有している。

【0040】第 2 パッケージ 36 は、第 2 チップ 15 の下面側がアンダーフィル樹脂 12 により封止され、第 2 チップ 15 の側面側が封止樹脂 13 により封止されており、アンダーフィル樹脂 12 に密着状態に重ね合わせたアンダーフィル樹脂 27 を介して、第 1 パッケージ 14 に積層されている。

【0041】つまり、半導体装置 35 は、第 1 パッケージ 14 の第 1 チップ 11 を第 2 チップ 15 に代えて形成した第 2 パッケージ 36 を、第 1 パッケージ 14 とは逆向きにし、アンダーフィル樹脂 27 を介して第 1 パッケージ 14 に積層している。そして、第 2 チップ 15 は、アンダーフィル樹脂 27 に、接続体 19 によりフリップチップ接続されており、アンダーフィル樹脂 27 は、第 1 パッケージ 14 のアンダーフィル樹脂 12 に、接続体 19 によりフリップチップ接続されている。

(第 4 の実施の形態) 図 6 は、この発明の第 4 の実施の形態に係る半導体装置の断面図である。図 6 に示すように、半導体装置 37 は、第 2 チップ 15 を複数個 (図 6 の場合 2 個) 並べて、第 1 パッケージ 14 にフリップチップ接続した他は、半導体装置 31 と同様の構成及び作用を有している。

(第 5 の実施の形態) 図 7 は、この発明の第 5 の実施の形態に係る半導体装置の断面図である。図 7 に示すように、半導体装置 38 は、第 2 チップ 15 に代えて、第 1 パッケージ 14 の製造方法である埋め込み配線導体方法により形成した第 2 パッケージ 36 (図 5 参照) を用いた他は、半導体装置 37 と同様の構成及び作用を有している。

(第 6 の実施の形態) 図 8 は、この発明の第 6 の実施の形態に係る半導体装置の断面図である。図 8 に示すように、半導体装置 39 は、第 1 パッケージ 14 に代えて、第 1 チップ 11 を 1 個ではなく複数個 (図 8 の場合 2 個) 並べて形成した第 3 パッケージ 40 を用いた他は、半導体装置 37 と同様の構成及び作用を有している。

【0042】第 3 パッケージ 40 の、複数個並べて形成された各第 1 チップ 11 は、アンダーフィル樹脂 12 に埋設された各配線に、接続体 19 によりフリップチップ接続されている。各第 1 チップ 11 に対向して第 3 パッケージ 40 に積層された、各第 2 チップ 15 は、アンダーフィル樹脂 12 の各配線に、接続体 19 によりフリップチップ接続されている。

【0043】図 9 は、図 8 の第 3 パッケージの製造工程を説明する工程図である。第 3 パッケージの製造工程は、銅基板 29 上に 2 個の第 1 チップ 11 を並べて形成する他は、第 1 のパッケージ 14 の製造工程と同様である。

【0044】図 9 に示すように、第 3 パッケージ 40 を製造する場合、まず、銅基板 29 の表面に、実装用配線 17 及びその他の配線からなる配線パターンを形成した ((a) 参照) 後、銅基板 29 の表面に、第 1 チップ 11 を横に 2 個並べて搭載し、それぞれ接続パッド 16 と実装用配線 17 を、接続体 19 を介してフリップチップ接続する ((b) 参照)。

【0045】次に、各第 1 チップ 11 の下面側に、接続体 19 を囲むようにアンダーフィル樹脂 12 を注入し、所定の温度で硬化させ ((c) 参照)、実装用配線 17 やその他の配線、アンダーフィル樹脂 12 及び両第 1 チップ 11 を覆うように、封止樹脂 13 で封止し、封止後、所定の温度で封止樹脂 13 を硬化させる ((d) 参照)。

【0046】次に、銅基板 29 を除去し ((e) 参照)、その後、第 1 パッケージ 14 の裏面となる封止樹脂 13 の上面を研削する ((f) 参照)。研削後、1 枚の銅基板 29 に複数個配置されている第 1 パッケージ 14 を各個片に切り離す。

【0047】上記各工程を経て製造されることにより、第3パッケージ40は、極薄の両第1チップ11の周囲をアンダーフィル樹脂12及び封止樹脂13で封止し、実装用配線及びその他の配線をパッケージ表面に埋め込んだ状態に形成される。

【0048】上述したように、半導体装置10、31、35、37、38、39は、極薄のチップを、上述した埋め込み配線導体方法で形成した1次パッケージを用意し、この1次パッケージを2個以上組み合わせて接続し封止して、2次パッケージを形成している。2次パッケージは、ワイヤボンディング接続により、基板を介して或いは直接外部端子に接続される。

(第7の実施の形態) 図10は、この発明の第7の実施の形態に係る半導体装置の断面図である。図10に示すように、半導体装置50は、第1パッケージ14を、インターポーザ51にフリップチップ接続し、アンダーフィル樹脂12を注入・硬化させた後に、第1チップ11を封止樹脂13で封止した構造である他は、半導体装置31(図4参照)と同様の構成及び作用を有している。

【0049】第4パッケージ52は、第1パッケージ14の上面にインターポーザ51からなる配線層が積層されて形成されている。配線層となるインターポーザ51は、第1パッケージ14に密着状態に重ね合わされる下面に、実装用配線17が形成され、アンダーフィル樹脂27に密着状態に重ね合わされる上面に、実装用配線17、試験用配線18及び外部接続用配線24が形成されている。

【0050】インターポーザ51下面の実装用配線17には、第1チップ11の接続パッド16が接続体19によりフリップチップ接続され、インターポーザ51上面の実装用配線17には、第2チップ15の接続パッド26が接続体19によりフリップチップ接続されている。また、外部接続用配線24のパッドと、第1パッケージ14の実装部分以外に形成された外部端子用配線22のパッドは、Auワイヤ25によりワイヤボンディング接続されている。

【0051】つまり、第2チップ15は、インターポーザ51を間に挟んで、第1パッケージ14に積層されている。このインターポーザ51は、リジッド基板又はフレキシブルテープ又はリードフレームにより形成される。

【0052】図11は、図10の第4パッケージの製造工程を説明する工程図である。図11に示すように、第4パッケージ52を製造する場合、先ず、基板となるインターポーザ51の表面に、実装用配線17、外部接続用配線24及びその他の配線からなる配線パターンを形成する((a)参照)。

【0053】次に、インターポーザ51に第1チップ11を搭載し、接続パッド16と実装用配線17を、接続体19を介してフリップチップ接続する。((b)参

照)。

【0054】次に、第1チップ11の下面側に、接続体19を囲むようにアンダーフィル樹脂12を注入し、所定の温度で硬化させる((c)参照)。

【0055】次に、インターポーザ51の上面と共に、実装用配線17やその他の配線、アンダーフィル樹脂12及び第1チップ11を覆うように、封止樹脂13で封止する。封止後、所定の温度で封止樹脂13を硬化させる((d)参照)。

【0056】次に、第1パッケージ14の裏面となる封止樹脂13の上面を研削し、インターポーザ51を含む第1パッケージ14の厚みを薄くする((e)参照)。研削後、インターポーザ51を含む第1パッケージ14を各個片に切り離す。これにより、第4パッケージ52が形成される。

【0057】図12は、図10の半導体装置の製造工程を説明する工程図である。図12に示すように、半導体装置50を製造する場合、先ず、配線基板32に、実装用電極33及び内部電極34を形成する((a)参照)。

【0058】次に、配線基板32に、インターポーザ51を上にして、即ち、第1チップ11を配線基板32の表面に向けて第4パッケージ52をマウントする。マウント後、第4パッケージ52を配線基板32に固着させる接着剤20を、所定の温度で加熱し硬化させる((b)参照)。

【0059】次に、ワイヤボンダにより、インターポーザ51の外部接続用配線24と内部電極34を、Auワイヤ25によりワイヤボンディングする((c)参照)。

【0060】次に、インターポーザ51の上に第2チップ15を載置し、第2チップ15の接続パッド26を、インターポーザ51の実装用配線17に、接続体19によりフリップチップ接続する。接続後、第2チップ15の下面側に接続体19を囲むように、アンダーフィル樹脂27を注入し、所定の温度で硬化させる((d)参照)。なお、先に、アンダーフィル樹脂27を注入してから、フリップチップ接続を行っても良い。

【0061】次に、トランスファーモールド装置により、第4パッケージ52と第2チップ15を覆うように、配線基板32の上を封止樹脂28で一括封止する。封止後、所定の温度で封止樹脂28を硬化させる((e)参照)。

【0062】次に、第2チップ15の上面(パッケージ裏面)を研削機により研削する。なお、上述した製造工程において、Auワイヤ25によるワイヤボンディングと第2チップ15のフリップチップ接続の順序は、逆でも良く、パッケージの裏面研削、個片切断、外部端子形成の順序は、特に指定しない。

(第8の実施の形態) 図13は、この発明の第8の実施



の形態に係る半導体装置の断面図である。図 13 に示すように、半導体装置 53 は、第 2 チップ 15 に代えて、第 4 パッケージ 52 の第 1 チップ 11 の代わりに第 2 チップ 15 を用いた第 5 パッケージ 54 を用いた他は、半導体装置 50 と同様の構成及び作用を有している。

【0063】この半導体装置 53 は、第 4 パッケージ 52 に、アンダーフィル樹脂 27 を間に挟んで、第 4 パッケージ 52 とは逆向きにした第 5 パッケージ 54 を積層して形成されている。上層の第 5 パッケージ 54 は、アンダーフィル樹脂 27 に、接続体 19 によりフリップチップ接続されており、アンダーフィル樹脂 27 は、下層の第 4 パッケージ 52 のインターポーザ 51 に、接続体 19 によりフリップチップ接続されている。

(第 9 の実施の形態) 図 14 は、この発明の第 9 の実施の形態に係る半導体装置の断面図である。図 14 に示すように、半導体装置 55 は、第 2 チップ 15 を複数個

(図 14 の場合 2 個) 横に並べて、各第 2 チップ 15 を、第 4 パッケージ 52 に接続体 19 によりフリップチップ接続した他は、半導体装置 50 と同様の構成及び作用を有している。

(第 10 の実施の形態) 図 15 は、この発明の第 10 の実施の形態に係る半導体装置の断面図である。図 15 に示すように、半導体装置 56 は、第 2 チップ 15 に代えて、第 4 パッケージ 52 の第 1 チップ 11 の代わりに第 2 チップ 15 を用いた第 5 パッケージ 54 を用いた他は、半導体装置 50 と同様の構成及び作用を有している。

【0064】この半導体装置 56 は、第 4 パッケージ 52 の上に、アンダーフィル樹脂 27 を間に挟んで、第 4 パッケージ 52 とは逆向きにした第 5 パッケージ 54 を、複数個 (図 15 の場合 2 個) 横に並べて、各第 5 パッケージ 54 のインターポーザ 51 と第 4 パッケージ 52 のインターポーザ 51 を、接続体 19 によりフリップチップ接続している。

(第 11 の実施の形態) 図 16 は、この発明の第 11 の実施の形態に係る半導体装置の断面図である。図 16 に示すように、半導体装置 57 は、配線基板 32 と半導体装置 50 の間に第 3 チップ (積層半導体素子) 58 を配置し、この第 3 チップ 58 を配線基板 32 に、Au ワイヤ 25 によりワイヤボンディング接続している他は、半導体装置 50 と同様の構成及び作用を有している。

【0065】配線基板 32 の上には、接着剤 20 により第 3 チップ 58 が固着され、第 3 チップ 58 の上には、接着剤 20 により第 4 パッケージ 52 が固着されている。第 3 チップ 58 の接続パッド 59 は、配線基板 32 の内部電極 34 に、Au ワイヤ 25 によりワイヤボンディング接続されている。

(第 12 の実施の形態) 図 17 は、この発明の第 12 の実施の形態に係る半導体装置の断面図である。図 17 に示すように、半導体装置 60 は、第 3 チップ 58 を、配

線基板 32 に、ワイヤボンディング接続に代えてフリップチップ接続している他は、半導体装置 57 と同様の構成及び作用を有している。

【0066】配線基板 32 と半導体装置 50 の間に配置された第 3 チップ 58 は、下面に設けた接続パッド 26 を、配線基板 32 の内部電極 34 に、接続体 19 によりフリップチップ接続する。接続後、第 3 チップ 58 の下面側に接続体 19 を囲むように、アンダーフィル樹脂 61 を注入し、所定の温度で硬化させる。

【0067】上述したように、半導体装置 50、53、55、56、57、60 は、極薄のチップを、インターポーザにフリップチップ接続して形成した 1 次パッケージを用意し、この 1 次パッケージを 2 個以上組み合わせで接続し封止して、2 次パッケージを形成している。2 次パッケージは、ワイヤボンディング接続により、外部端子に接続される。

【0068】従って、上記半導体装置 10、31、35、37、38、39、50、53、55、56、57、60 は、複数のチップを積層して一体に形成されており、半導体素子に再配線による接続端子部を有する配線手段を形成して樹脂封止された第 1 パッケージ 14 と、第 1 パッケージ 14 に、互いの接続端子部を向かい合わせて直接接続し積層した、少なくとも 1 個の半導体パッケージ又は半導体素子と、配線手段の接続端子部と外部端子 23 を電氣的に接続する Au ワイヤ 25 と、第 1 パッケージ 14、積層される半導体パッケージ又は半導体素子、及び Au ワイヤ 25 を一体に樹脂封止する封止樹脂 28 とを有するものである。

【0069】そして、第 1 パッケージ 14、及び積層される半導体パッケージ又は半導体素子は、フリップチップ構造或いは埋め込み配線導体パッケージ構造或いはインターポーザを用いたパッケージ構造のいずれかの構造を有している。

【0070】このように、この発明によれば、チップをモールド封止によりパッケージングしてからパッケージ裏面を削る、即ち、チップをパッケージと一緒に削る。その後、パッケージを、配線形成部分側を向かい合わせた状態で積み重ね接続する。これにより、パッケージ裏面の研削が可能となり、スタック型パッケージ構造を保持しつつ、ウェハ強度を確保して更なるパッケージの薄型化及び小型軽量化、即ち、半導体装置の薄型化を図ることができる。

【0071】特に、半導体装置 10、31、35、37、38、39 は、配線層 (基板) を挟み込まない構成、即ち、インターポーザ (基板) を予め持っているのではなく、基板が無い状態で封止樹脂の中に配線が埋め込まれて作られていることから、その分、半導体装置の厚みを更に薄くすることができる。

【0072】例えば、1 次パッケージは、厚さが約 10 ~ 150  $\mu\text{m}$  であり、1 次パッケージを 2 段重ねにして



2次パッケージを形成しても、半導体装置の厚さを約400 $\mu$ m以下の極薄型にすることができる。

【0073】また、1次パッケージを、ワイヤボンディング接続により基板を介して或いは直接外部端子に接続している。この外部端子との接続を、基板が無い状態で封止樹脂の中に埋め込まれた配線により行われる場合、半導体装置の厚みを更に薄くすることができる。

【0074】また、複数のチップが共有する部分は再配線化されているため、ボンディング接続及び配線ロケーションの自由度が向上する。

【0075】また、1次パッケージは、試験用のパッドを有しているので、チップレベルでは困難であった試験による良品識別が、容易に行える。そのため、複数のチップが積層されたMCP (multi chip package) において、総合歩留まりを落とすことが無く、歩留まり損の発生を抑えることができる。

【0076】つまり、この発明に係る半導体装置は、1つのパッケージ内部に、樹脂封止された後に裏面研削により薄型化された1つ又は複数のパッケージを組み込んで、超薄型CSP (chip scale package) を多段構造に積層した、スタック型パッケージ構造を有している。これにより、チップ毎の厚みが薄くなると共に半導体装置の厚みも薄くなって、小型・薄型化に有利となる。また、一旦パッケージングした後に、パッケージ毎チップを裏面研削するので、チップ単体で薄く削る場合に比べ、強度が高まって扱い易くなる。

【0077】なお、上記実施の形態において、インターポーザ（基板）を用いずに埋め込み配線導体方法により形成するのは、チップのパッケージに限るものではなく、パッケージ同士の接続及びパッケージと外部端子の接続においても用いることができる。また、各種パッケージ構造、及び外部端子と直接或いは基板を介して接続する外部端子接続構造を、相互に組み合わせて半導体装置を形成しても良い。

【0078】

【発明の効果】以上説明したように、この発明によれば、複数の半導体素子を積層し一体に形成した半導体装置は、半導体素子に再配線による接続端子部を有する配線手段を形成して樹脂封止された半導体パッケージに、少なくとも1個の半導体パッケージ又は半導体素子が、互いの接続端子部を向かい合わせて直接接続して積層され、配線手段の接続端子部と外部端子がワイヤによって電氣的に接続され、半導体パッケージ、積層される半導体パッケージ又は半導体素子、及びワイヤが、封止樹脂により一体に樹脂封止されているので、スタック型パッケージ構造を保持しつつ、ウェハ強度を確保して更なる小型軽量化、薄型化を図ることができる。

【0079】また、この発明に係る半導体装置の製造方法により、上記半導体装置を実現することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体装置の断面図である。

【図2】図1の第1パッケージの製造工程を説明する工程図である。

【図3】図1の半導体装置の製造工程を説明する工程図である。

【図4】この発明の第2の実施の形態に係る半導体装置の断面図である。

【図5】この発明の第3の実施の形態に係る半導体装置の断面図である。

【図6】この発明の第4の実施の形態に係る半導体装置の断面図である。

【図7】この発明の第5の実施の形態に係る半導体装置の断面図である。

【図8】この発明の第6の実施の形態に係る半導体装置の断面図である。

【図9】図8の第3パッケージの製造工程を説明する工程図である。

【図10】この発明の第7の実施の形態に係る半導体装置の断面図である。

【図11】図10の第4パッケージの製造工程を説明する工程図である。

【図12】図10の半導体装置の製造工程を説明する工程図である。

【図13】この発明の第8の実施の形態に係る半導体装置の断面図である。

【図14】この発明の第9の実施の形態に係る半導体装置の断面図である。

【図15】この発明の第10の実施の形態に係る半導体装置の断面図である。

【図16】この発明の第11の実施の形態に係る半導体装置の断面図である。

【図17】この発明の第12の実施の形態に係る半導体装置の断面図である。

【図18】従来の半導体装置を示す断面図である。

【符号の説明】

10, 31, 35, 37, 38, 39, 50, 53, 55, 56, 57, 60 半導体装置

11 第1チップ

12, 27, 61 アンダーフィル樹脂

13, 28 封止樹脂

14 第1パッケージ

15 第2チップ

16, 26, 59 接続パッド

17 実装用配線

18 試験用配線

19 接続体

20 接着剤

21 ソルダレジスト

22 外部端子用配線

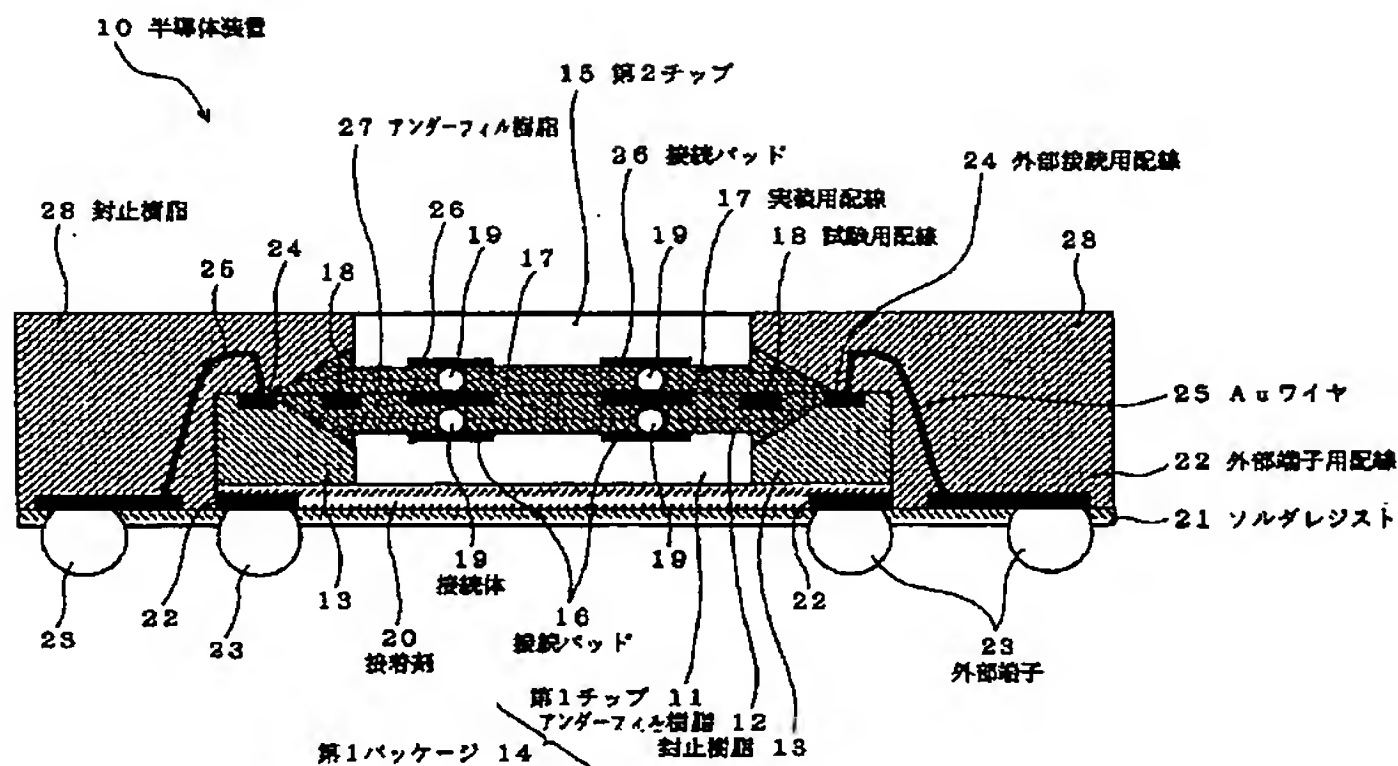
15

16

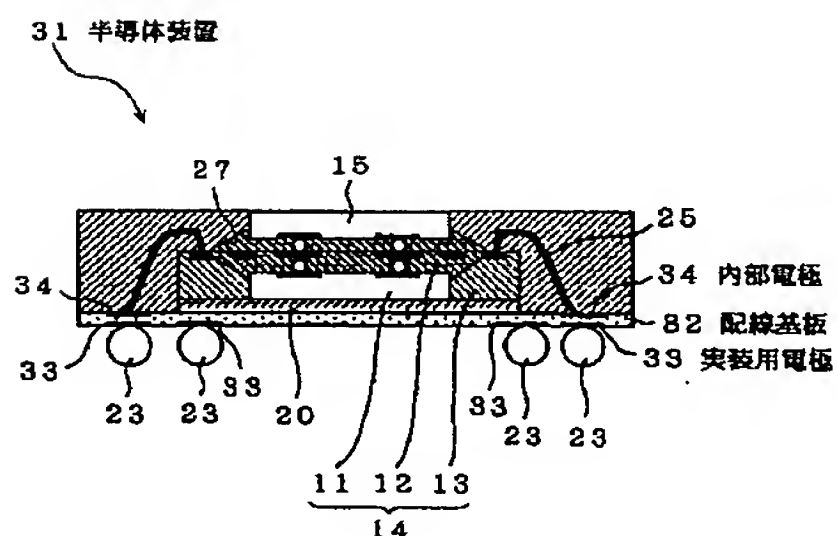
23 外部端子  
24 外部接続用配線  
25 Auワイヤ  
29 銅基板  
30 フレーム  
32 配線基板  
33 実装用電極  
34 内部電極

36 第2パッケージ  
40 第3パッケージ  
51 インターポーザ  
52 第4パッケージ  
54 第5パッケージ  
58 第3チップ  
62 半導体素子

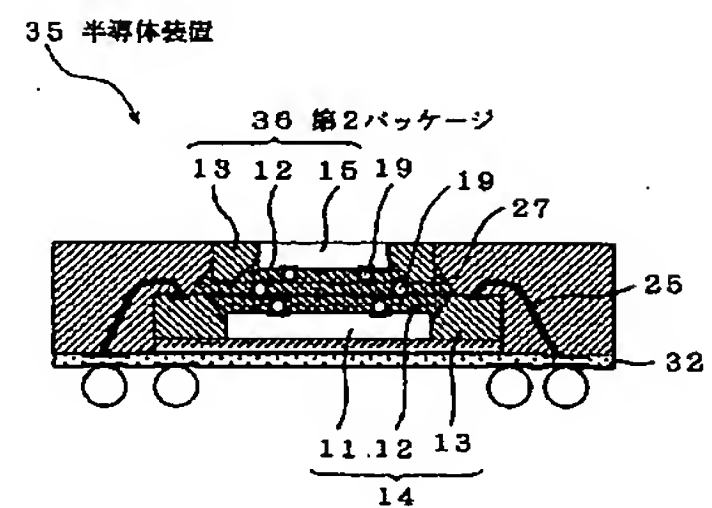
【図1】



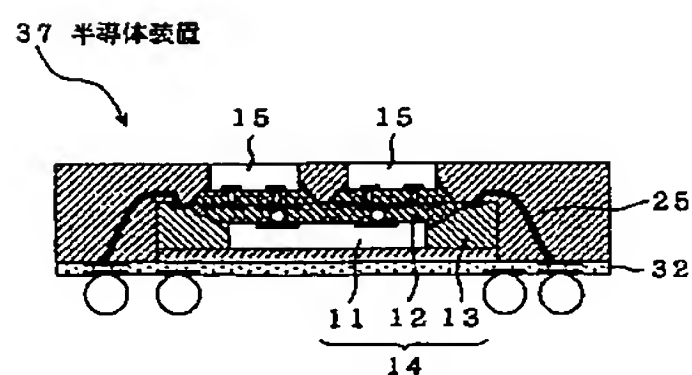
【図4】



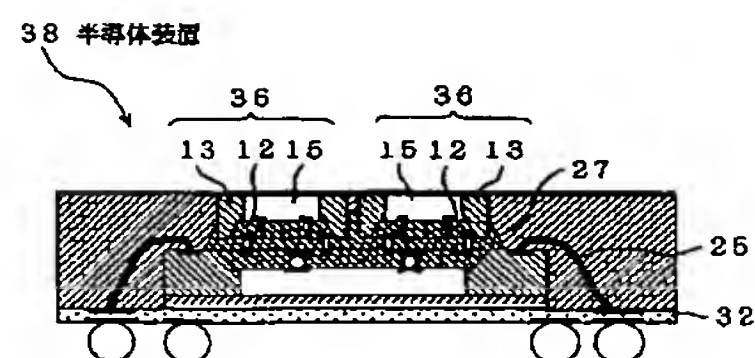
【図5】



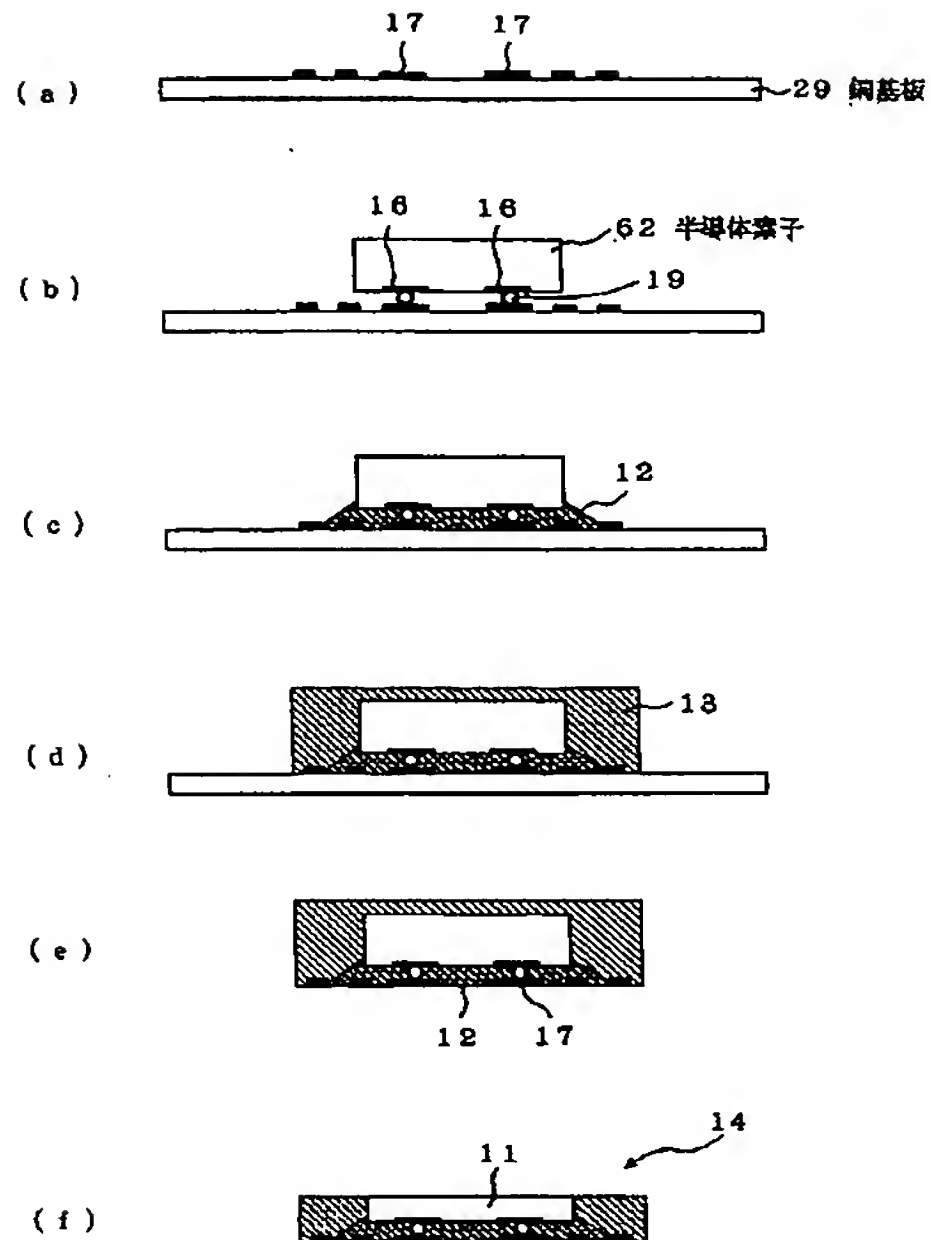
【図6】



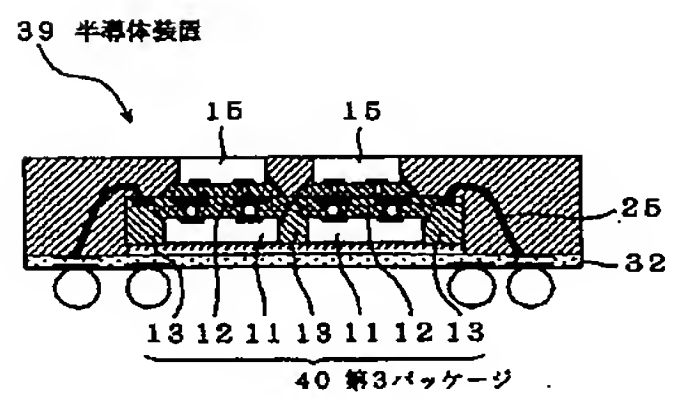
【図7】



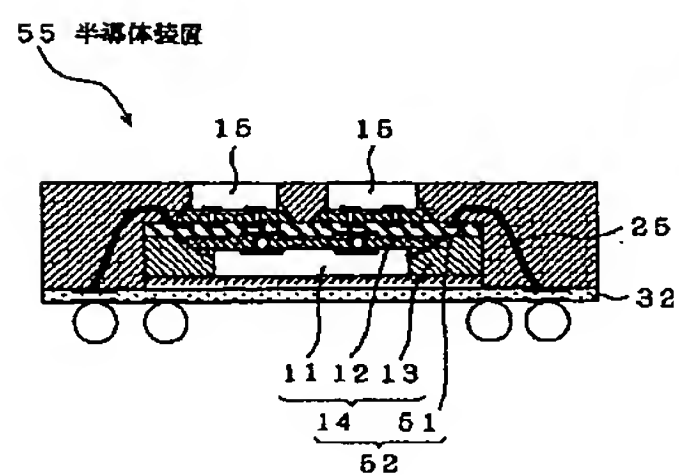
【図2】



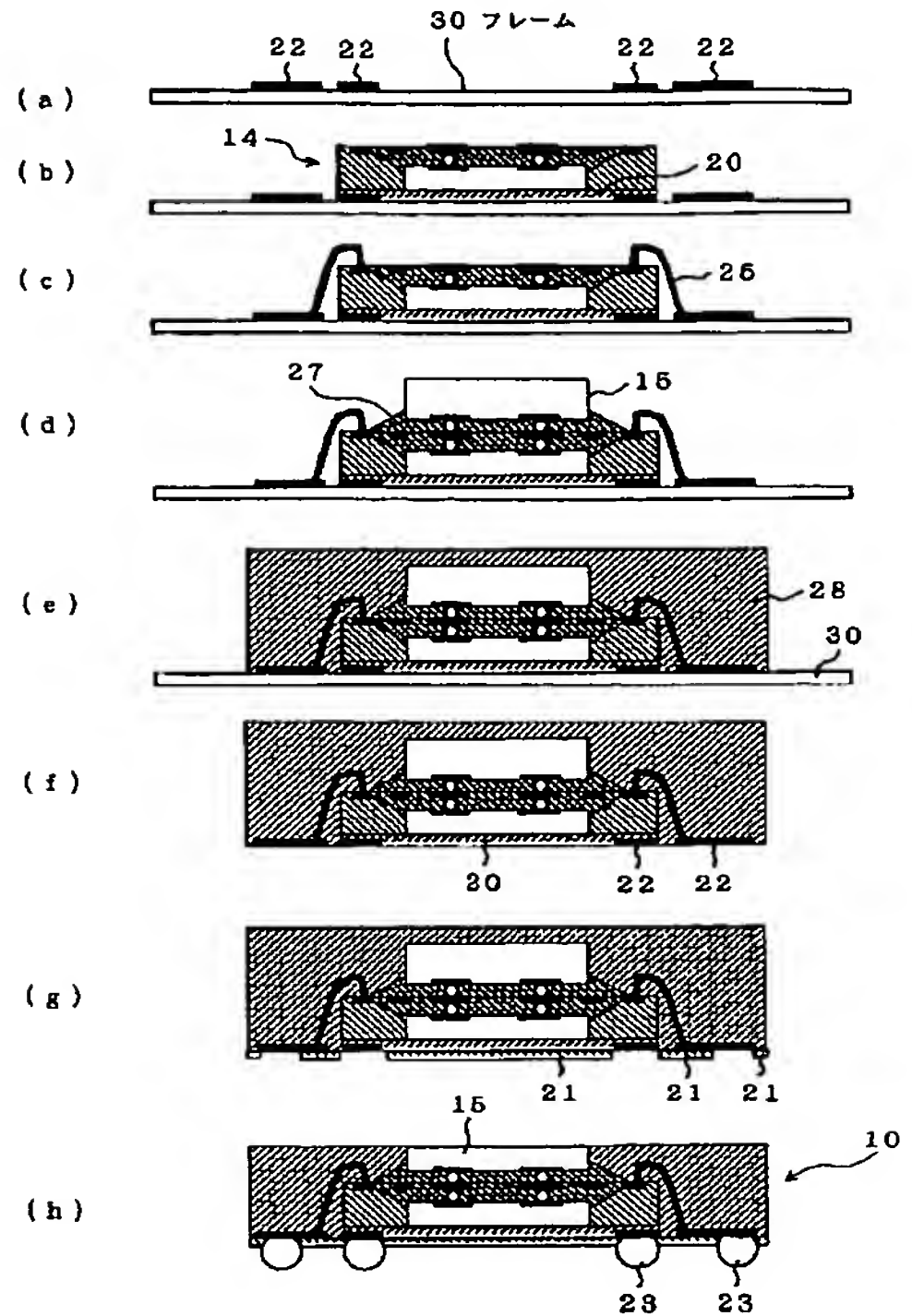
【図8】



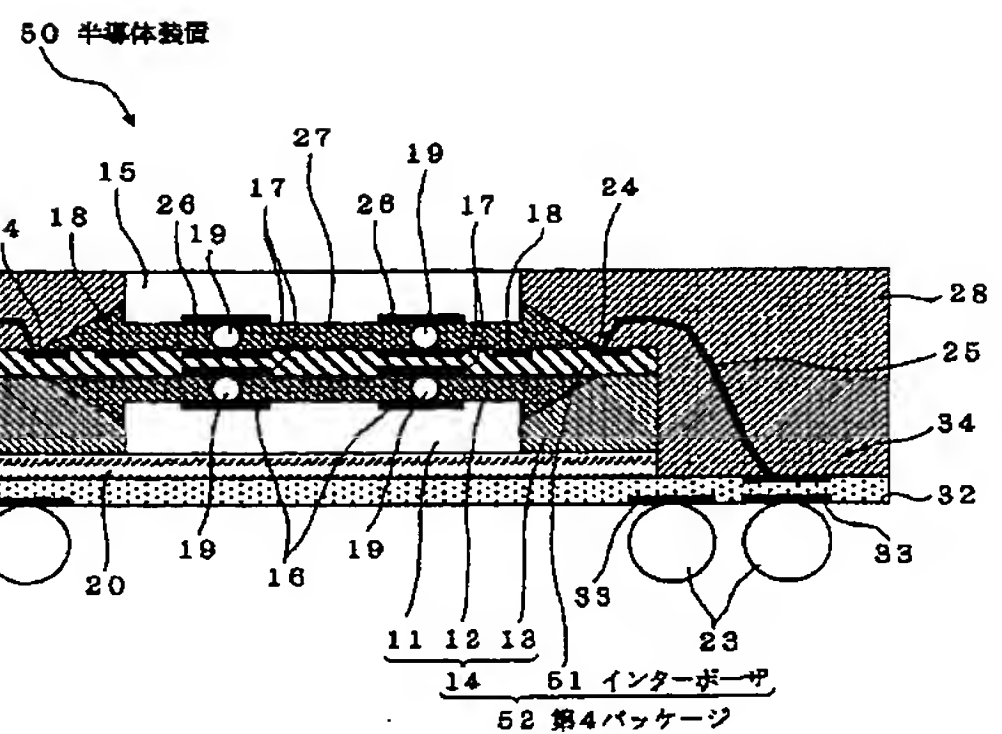
【図14】



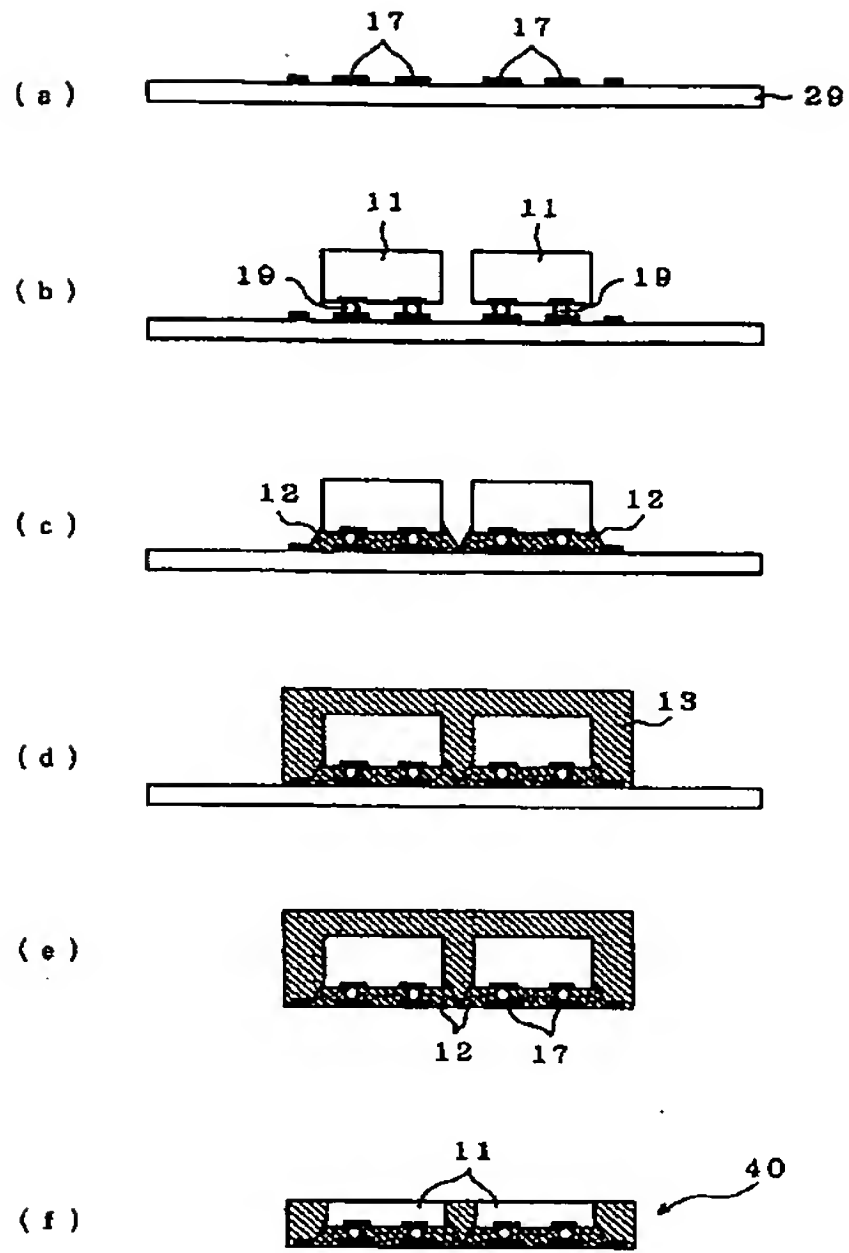
【図3】



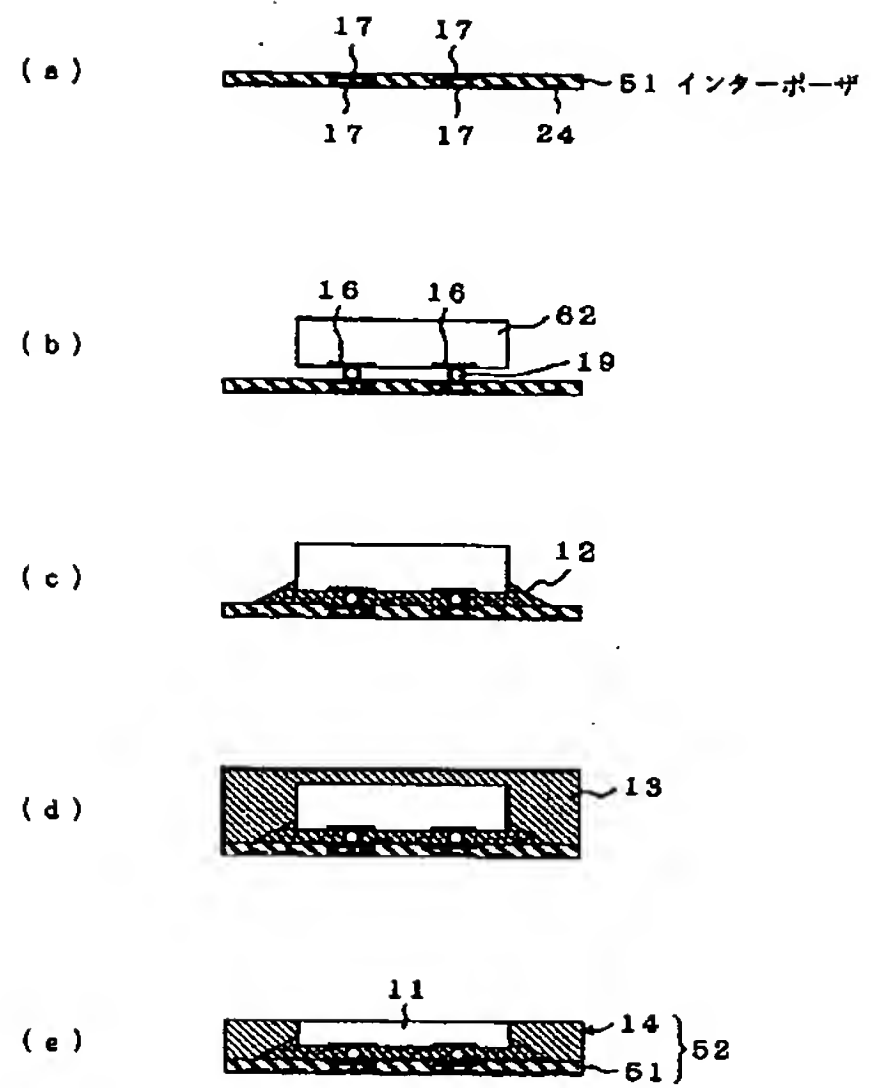
【図10】



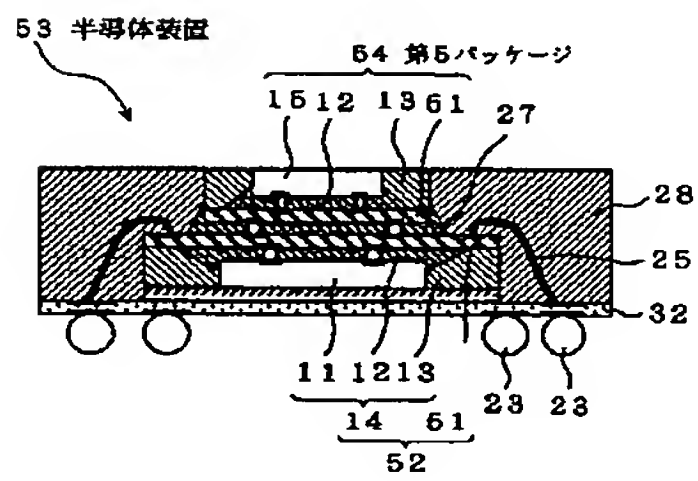
【図9】



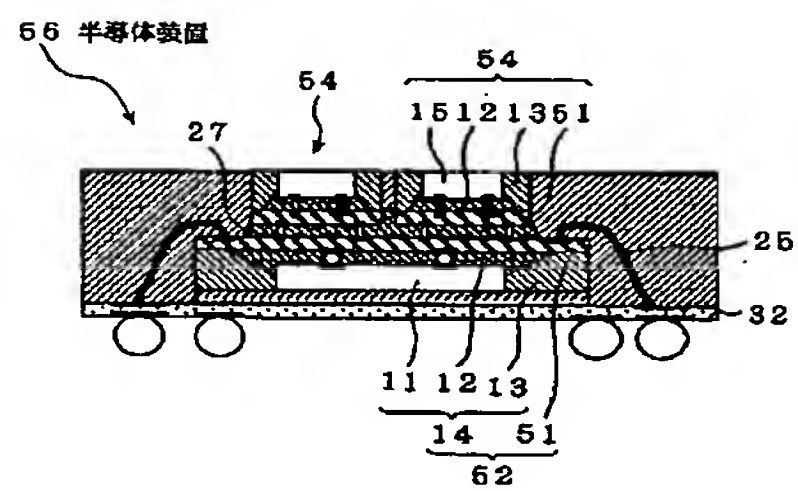
【図11】



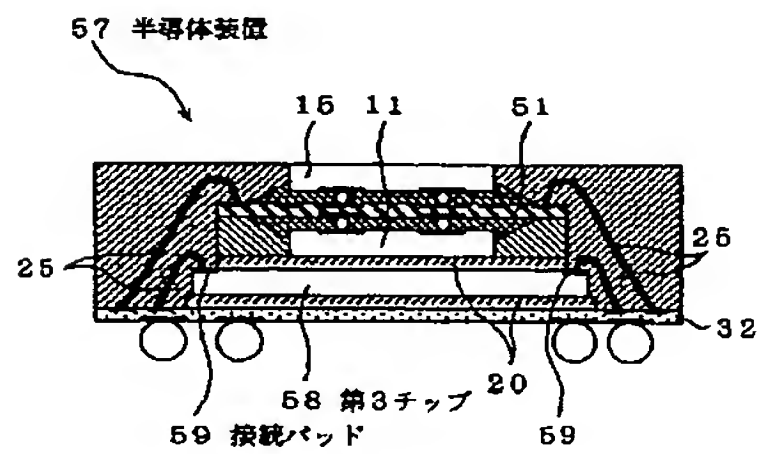
【図13】



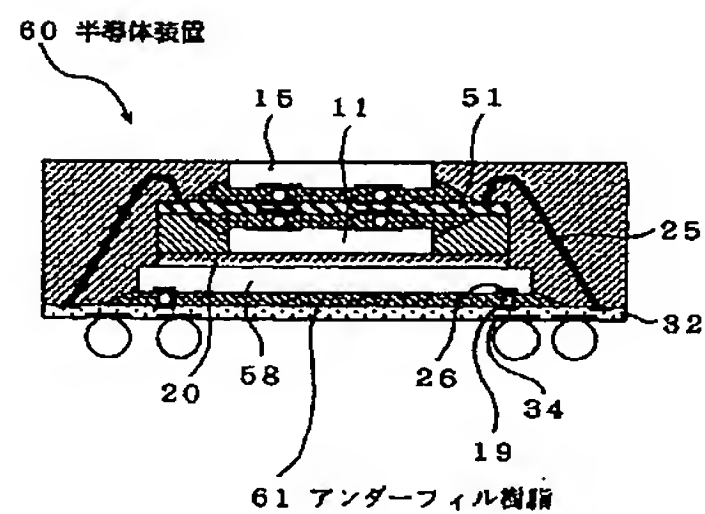
【図15】



【図16】

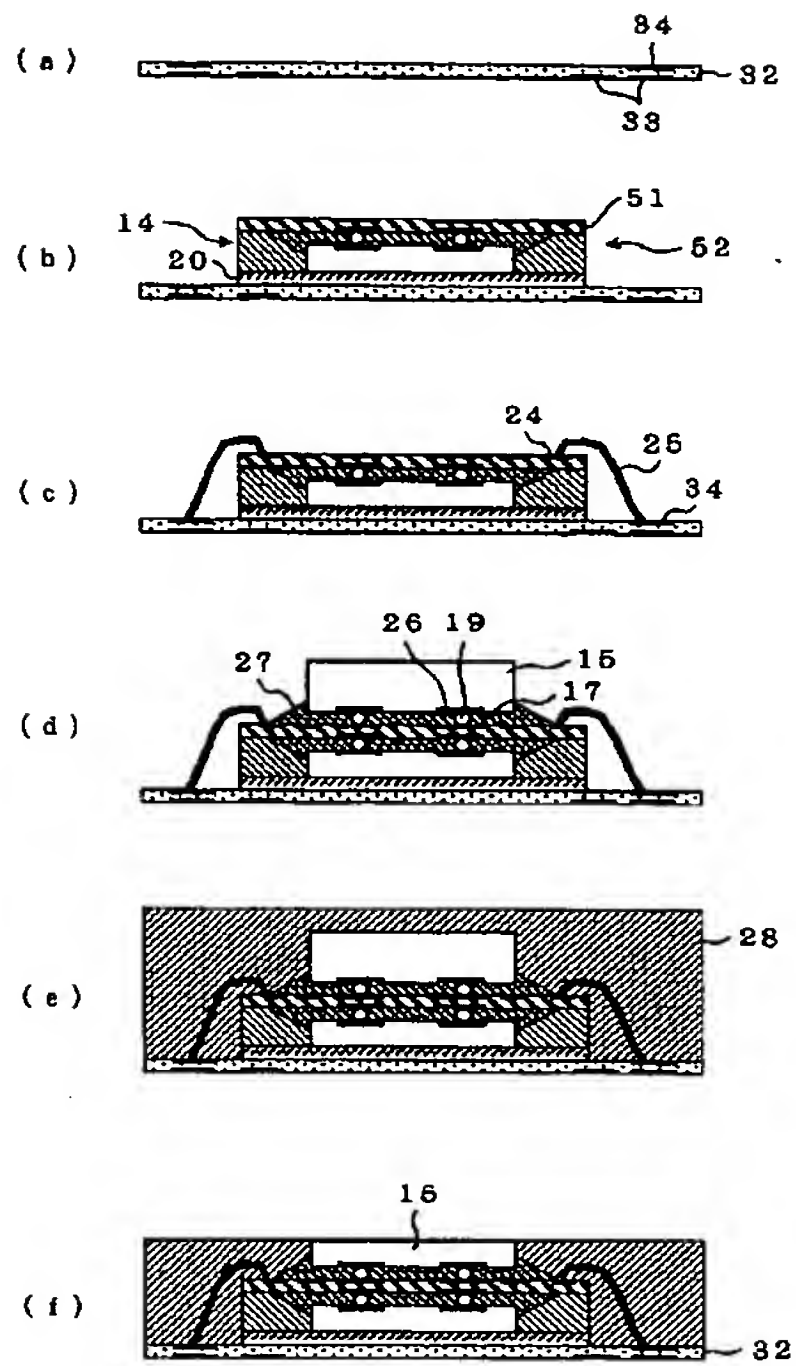


【図17】





【図12】



【図18】

